


## FIELD-EFFECT TYPE SEMICONDUCTOR ELEMENT

Patent Number: JP8264772  
Publication date: 1996-10-11  
Inventor(s): KUSHIDA TOMOYOSHI; KAWAI FUMIAKI .  
Applicant(s):: TOYOTA MOTOR CORP  
Requested Patent:  JP8264772  
Application Number: JP19950064545 19950323  
Priority Number(s):  
IPC Classification: H01L29/78  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To make decrease of threshold voltage compatible with decrease of on-resistance, and improve punchthrough breakdown voltage, in an MOSFET.

**CONSTITUTION:** A gate oxide film 45 is formed surrounding a gate electrode 46. A diffusion layer 49 as a low concentration layer is formed on the side part of the gate electrode 46. Diffusion layers 53a, 53b are formed on the side part of the diffusion layer 49, sufficiently deeper in the drain direction than the gate electrode 46 and the diffusion layer 49. Since the distance between the lower end portions of P<+> body layers (diffusion layers (53a, 53b) is short, depletion layers 56 between the P<+> body layers are easy to be linked together.

---

Data supplied from the esp@cenet database - I2

(51) Int.Cl. <sup>4</sup>	識別記号	片内整理番号	PI	技術表示箇所
H 01 L 29/78		9055-4M	H 01 L 29/78	653A
		9055-4M		656D

審査請求 未請求 請求項の款 3 O L (全 8 頁)

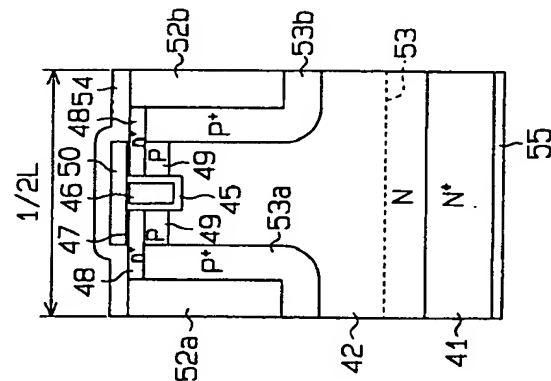
(21) 出願番号	特願平7-64545	(71) 出願人	000003207 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地
(22) 出願日	平成7年(1995)3月23日	(72) 発明者	横田 知義 愛知県豊田市トヨタ町1番地
			草 株式会社内 川井 文彰 愛知県豊田市トヨタ町1番地
		(74) 代理人	弁理士 原田 博立 草 株式会社内 愛知県豊田市トヨタ町1番地

(54) 【発明の名称】  
電界効果型半導体素子

(57)【要約】

【目的】MOSFETにおいて、しきい値電圧の低下と、オン抵抗の低下を両立させ、さらにパシスルー耐圧の向上を図る。

【解説】 ゲート電極46を照むようにゲート酸化膜45が形成され、ゲート電極46の側部には低濃度層である拡散層49が形成されている。又、拡散層49の側部にはゲート電極46及び拡散層49よりもドレイン方向へ十分に深く形成された拡散層53a、53bが設けられており、ポプディ層（拡散層53a、53b）の下層部間の距離が短いため、P+がポプディ層間の空乏層56がっとながり易くなる。



【特許請求の範囲】

【補足事項】 ドレインとなる第1導電型半導体基体  
(2)の表面に第2導電型領域(3、4)と、ソースと  
なる第1導電型領域(6)を有し、前記基体(2)表面  
上に前記第1導電型層(7)への電圧印加によって基体(2)  
に形成された前記第2導電型領域(5)に接するドレイン電極を形成する  
ようにした電界効果型半導体素子であつて、

前記第2導電型領域はゲート電極(7)直下に形成され、低濃度層(8)と、低濃度層(9)に接して形成され、第1導電型領域(6)から第1導電型半導体基体(2)方向へ延びる高濃度層(4)とを含み、

如記高速度層 (4) を前記低速層 (3) より深さ方向

【請求項2】 低減度層(3)の減度ピーク位置が、第1導電型領域(2)より深い位置にあることを特徴とする請求項1に記載のパワー-MOSFET。

【請求項3】 ドレインとなる第1導電型半導体基体  
(16, 42) の表面に第2導電型領域(23, 24

1, 24b, 49, 53a, 53b)と、ソースとなる第1導電型領域(20, 48)を有し、前記基体(1, 4, 42)表面上のトレンチゲート(19, 46)への圧印加によって基体(16, 42)と前記第1導電型領域(20, 48)に挟まれた前記第2導電型領域表面(23, 24, 48, 49, 53a, 53b)でソース・ドレイン電流を制御するようにした電界効果型半導体素子であって、

上記第2導電型領域はトレンチガート(19, 46)直下に形成された低濃度層(23, 49)と、

低濃度層 (23, 49) に接続して形成され、該低濃度層より第1導電型領域 (20, 48) から第1導電型導体基体 (16, 42) 方向へ延びる高濃度層 (24, 24b, 53a, 53b) とを含み、

高濃度層 (24a, 24b, 53a, 53b) を前記  
レニチゲート (19, 40) より深さ方向に偏平に形  
成したことを特徴とする電界効果型半導体素子。

【発明の詳細な説明】

【産業上の利用分野】この発明はMOSFET等の電界効果型半導体素子の構造に関するものである。

[0002]

**【従来の技術】**電界効果型半導体の構造として、従来の従来MOSFETトランジスタ（以下、バウマンMOS）の構造を図3に示す。1はN<sup>+</sup>基板、2はN<sup>-</sup>チャンネル領域、3はP<sup>+</sup>ボディ層、4はN<sup>+</sup>ゲート電極、5はN<sup>+</sup>ソース層、6はゲート酸化膜、7はゲート電極、8は局間絶縁膜、9はパッド、10はドレイン電極、11は空乏層。

である。

【0003】このナ沟-MOSは、4V程度のゲート電圧の印加で十分駆動できるように低いきい閾電圧（1～2V）が要求されている。このため、Pチャネル3の濃度は1.017cm<sup>-3</sup>程度の低濃度とする必要がある。一方、Pチャネル3のバンドスナッチを防止し、耐圧80V程度を実現する必要があるから、Pチャネル3の深さを2～3μm程度としている。

【0004】次に、トレンチゲート構造を有するMOS FET (UMOS) の従来の構成を図7に示す。16はN<sup>+</sup>基板、16はN-エピタキシャル層、17はPボディア層18はゲート酸化膜、19はゲート酸化膜18にて照されたポリシリコンからなるトレンチゲート、20はN<sup>+</sup>ソース層、21はアルミニウムからなるソース電極、22は空乏層、25はドレイン電極である。

【発明が解決しようとする課題】ところで、図 3 (b) に示すパワー MOS のオン抵抗  $r_{ds(on)}$  (全体のオン抵抗) は、次の式で表される。

$$r_{ds(on)} = r_{ch} + r_{acc} + r_{JPET} + r_{bulk} + r_{sub}$$

なお、図 5 (b) に示すように  $r_{ch}$  はチャネル抵抗成分、 $r_{acc}$  はアクセシビリティ成分、 $r_{jpt}$  は JPT 抵抗成分、 $r_{ift}$  はドリフト抵抗成分、 $r_{sub}$  は基板抵抗成分である。

【0007】このうち、オン抵抗 $r_{ds(on)}$ に占めるJFET抵抗成分 $r_{JFET}$ の割合は、比較的大きい（この抵抗成分のうち、チャネル抵抗成分 $r_{ch}$ が最も大きい）。従って、Pボディ層 $S$ が深くなると、JFET抵抗成分 $r_{JFET}$ が大きくなり、このため、オン抵抗が増大してしまふ問題がある。

【0008】又、パワーMOSには、図3(b)に示すように、寄生抵抗 $r_1$ 、 $r_2$ 、寄生トランジスタ $r$ 及び寄生ダイオード $D1$ が存在している。ソース・アノード電極9とドレイン電極10との間に電圧を印加し、Pポジット層3とN-エピタキシャル層2により形成される寄生ダイオード $D1$ の降伏電圧に達すると、降伏電圧が寄生ダイオード $D1$ に流れる。この降伏は、Pポジット層3とN-エピタキシャル層2との接合部分の真下に広がるとともに、曲率半径の小さい部分、すなわち、Pポジット層3のコーナー部Aで顕著する。

【0009】低濃度のPボディ層3に形成される寄生性抵抗 $R_2$ は、比較的大きいため、降伏電圧により、寄生トランジスタ $T_1$ のベース電圧が上昇し、この結果、大量の降伏電圧が流れ、ベース電圧が0.6Vを越えると、寄生トランジスタ $T_2$ が導通し、大電流が流れて、PMOSが破壊する間隙がある。

【0010】又、図7に示す従来のトレンチゲート構造を有するMOSFET (UMOS) は、次のような問題点があった。すなわち、後述の理由からトレンチゲート



面をRIE法によりエッチバックする。この多結晶シリコン膜46がゲート電極(トレンチゲート)となる。次に図8(a)に示すように酸化膜45の表面に露出した部分をエッチングし、再び酸化する。この時、多結晶シリコン膜46も酸化し、酸化膜47を形成する。その後、イオン注入法により、ヒ素Asと、ホウ素Bを注入して、熱処理により、拡散層48、49を形成する。この拡散層48が第1導電型領域としてのN<sup>+</sup>ソース層となり、拡散層49が第3導電型領域の低濃度層としてのPボデイ層となる。

【0034】図8(f)に示すように表面にCVD法により厚い酸化膜50を堆積し、フォトリソグラフィ法とエッチング法を用いて酸化膜50を所定の形状にパターンニングする。従って、図9(a)に示すようにRIE法により酸化膜50をエッチングマスクとしてトレンチ(凹溝)51を形成する。

【0035】次に、CVD法により、ホウ素Bを含んだ多結晶シリコン膜52a(52b)を堆積し、熱処理により多結晶シリコン膜52内のホウ素Bを拡散させ、拡散層53a(53b)を形成する(図9(b)参照)。この拡散層53a(53b)がP<sup>+</sup>ボデイ層となる。その後、多結晶シリコン膜52a(52b)をRIE法により酸化膜とシリコンの界面までエッチバックする。前記多結晶シリコン膜52a(52b)が拡散層を形成している。

【0036】次にフォトリソグラフィ法とエッチング法を用いて酸化膜50、47の開口部をより大きくする。その後、アルミニウム等の金属をスパッタ法により、堆積し、ソース電極54を形成する。さらに、シリコン基板41の裏面に金属を蒸着し、ドレイン電極55を形成する。

【0037】さて、図8(a)に示すように、第2実施例の構造では5L×5Lの面積においてはゲートの総延長は5L×10=50Lとなる。それに対して、この実施例では同じ5L×5Lの面積においては、ゲートの総延長は5L×20=100Lとなる。従って、この実施例では、第2の実施例と比較して同一面積においては、ゲートの総延長が2倍、すなわち、オン抵抗が半分となる。

【0038】なお、上記の実施例ではセルサイズが第2実施例の1/2の場合について説明したが、セルサイズの縮小率は、P<sup>+</sup>ボデイ層の深さによって一般的に異なる。なお、P<sup>+</sup>ボデイ層用のトレンチ51は、トレンチ側面がP<sup>+</sup>ボデイ層(拡散層53a、53b)内にあるため、パワーMOSの主電流経路からトレンチ側面がはみ出ることになる。すなわち、トレンチ側面のドライエッチングダメージが残っているため、オン抵抗を高くすることはできない。従って、P<sup>+</sup>ボデイ層用トレンチはゲート用トレンチとは異なり、ダメージ除去工程が不要となるので、製作は容易となる。

第1導電型領域直下の低濃度層の濃度が濃くなる。このため、より浅い低濃度層で、パシスループが防止でき、オン抵抗が低減される。又、寄生抵抗成分を小さくできることから、ベース電位が上昇しにくく寄生トランジスタが導通しにくくなり、かつ寄生トランジスタの電流増幅率hFEを小さくできるため、破壊電圧が向上する。

【0048】請求項3の発明によれば、オン抵抗の低下ができ、第2導電型領域から第1導電型領域へは、電界強度が弱められ、かつ空乏層が広がるの抑えられ、従来と異なり空乏層が広がってパシスループが生じるのを抑制するための深いトレンチゲートの製造の必要がなくなり、製造しやすい浅いトレンチゲートでも可能となる。又、電界強度も弱くなることから、トレンチゲート端部のめくれ工程も不要となる。

【図面の簡単な説明】

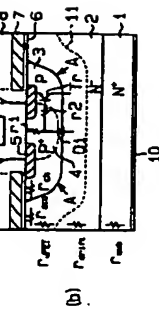
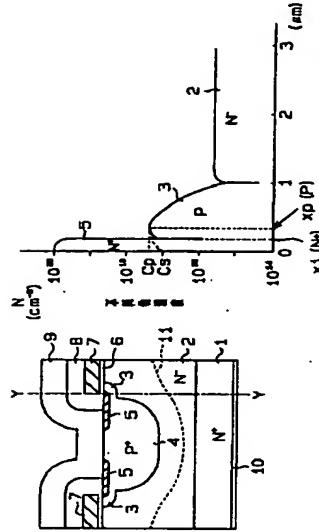
【図1】 第1実施例の1つのセルの模式的な断面図。  
【図2】 図1のY-Y線で切断したときの、表面からの深さにおける不純物濃度を示すグラフ。  
【図3】 従来のMOSFETを示し、(a)は平面図、(b)は断面図。

【図4】 第2実施例の1つのセルの模式的な断面図。  
【図5】 第3実施例の1つのセルの模式的な断面図。  
【図6】 (a)は第2実施例のMOSFETの平面図、(b)は第3実施例のMOSFETの平面図。

【図1】

【図2】

【図3】



【図7】 従来のMOSFETの断面図。  
【図8】 (a)～(f)は第3実施例の製造工程を示す説明図。  
【図9】 (a)～(c)は同じく第3実施例の製造工程を示す説明図。  
【符号の説明】

1はN<sup>+</sup>基板、2はN<sup>+</sup>エピタキシャル層(第1導電型半導体基板)、3はPボデイ層(第2導電型領域の低濃度層)、4はP<sup>+</sup>ボデイ層(第2導電型領域の高濃度層)、5はN<sup>+</sup>ソース層、6はゲート酸化膜、7はゲート・シリコン電極、8は層間絶縁膜、9はソース・アルミニウム電極、10はドレイン電極、11は空乏層、12はN<sup>+</sup>ドレイン層、13はN<sup>+</sup>ドレイン層(第1導電型半導体基板)、14はN<sup>+</sup>ドレイン層(第1導電型半導体基板)、15はN<sup>+</sup>ドレイン層(第1導電型半導体基板)、16はN<sup>+</sup>ドレイン層(第1導電型半導体基板)、17はPボデイ層、18は酸化絶縁膜、19はトレンチゲート、20はN<sup>+</sup>ソース層、21はソース電極、22は空乏層、23はPボデイ層(第2導電型領域の低濃度層)、24a、24bはP<sup>+</sup>ボデイ層(第2導電型領域の高濃度層)、41はN<sup>+</sup>型シリコン基板、43は低濃度N型シリコン層(第1導電型半導体基板)、44は酸化膜、45はトレンチ、46は多結晶シリコン膜(ゲート電極)、48は拡散層(N<sup>+</sup>ソース層)、49は拡散層(Pボデイ層:第2導電型領域の低濃度層)、53a、53bは拡散層(P<sup>+</sup>ボデイ層:第2導電型領域の高濃度層)、56は空乏層。

